

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-307624

(43)Date of publication of application : 21.11.1995

(51)Int.Cl.

H03F 3/45

G06G 7/12

(21)Application number : 07-102373

(71)Applicant : KOREA TELECOMMUN
AUTHORITY

(22)Date of filing : 26.04.1995

(72)Inventor : KIM YOUNG HWAN
HA DONG SUK

(30)Priority

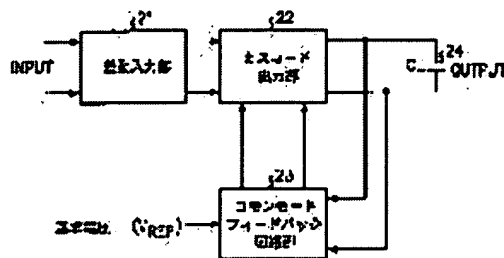
Priority number : 94 9408824 Priority date : 26.04.1994 Priority country : KR

(54) CMOS ARITHMETIC AMPLIFIER WITH LOW VOLTAGE HIGH SPEED OPERATION

(57)Abstract:

PURPOSE: To increase output swing, and to increase a gain by impressing the two output voltages of a cascode output device and a reference voltage to a common mode feedback circuit part, and feedbacking the output to the cascode output part.

CONSTITUTION: A differential input part 21 converts two input signal voltages into currents, and output currents from the differential input device 21 are amplified by a cascode output device 22, and converted into two output voltages. Then, the outputs of the cascode output device 22 are impressed to a capacitor 24, and the output edge of an arithmetic amplifier is constituted. The two output voltages of the cascode output device 22 and a reference voltage VREF are inputted to a common mode feedback circuit 23, and a feedback signal for making the output common mode voltage coincident with the reference voltage VREF is supplied to the cascode output device 22. Thus, output switch can be increased, and a gain can be increased.



LEGAL STATUS

[Date of request for examination]

26.04.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-307624

(43) 公開日 平成7年(1995)11月21日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 3/45		B		
G 0 6 G 7/12		A		

審査請求 有 請求項の数 3 O L (全 7 頁)

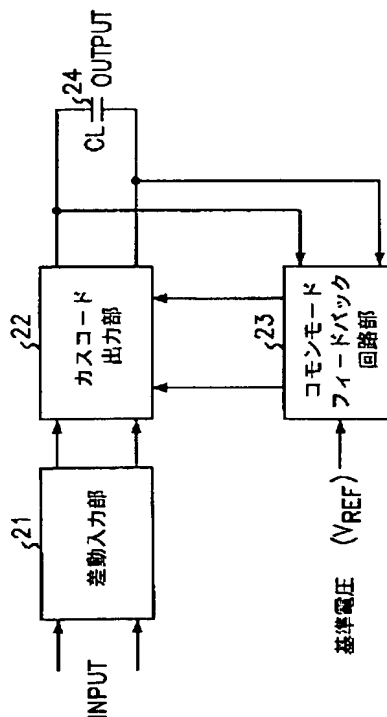
(21) 出願番号	特願平7-102373	(71) 出願人	590001636 コリア テレコミュニケーション オーソ リティ 大韓民国 ソウル チヨンノグ スー ジョンノ 100
(22) 出願日	平成7年(1995)4月26日	(72) 発明者	キム ヨン ホァン 大韓民国 ソウル チヨンノグ スー ジョンノ 100 コリア テレコミュニ ケーション オーソリティ内
(31) 優先権主張番号	1 9 9 4 - 8 8 2 4	(72) 発明者	ハ ドン ソキ 大韓民国 ソウル チヨンノグ スー ジョンノ 100 コリア テレコミュニ ケーション オーソリティ内
(32) 優先日	1994年4月26日	(74) 代理人	弁理士 谷 義一 (外1名)
(33) 優先権主張国	韓国 (K R)		

(54) 【発明の名称】 低電圧高速動作のCMOS演算増幅器

(57) 【要約】

【目的】 出力スイングの増大を図ると共に利得の増加を得ることができる低電圧高速動作のCMOS演算増幅器を得ること。

【構成】 二つの入力信号の電圧を電流に変換させる差動入力部21と、差動入力部21の二つの出力電流を増幅して二つの出力電圧に変換させるカスコード出力部22と、カスコード出力部22の出力電圧が印加され演算増幅器の出力端を構成するキャパシタ24と、カスコード出力部22の二つの出力電圧と基準電圧とを入力して出力電圧のコモンモード電圧を基準電圧と一致させるための帰還信号をカスコード出力部22へ供給する帰還手段23を包含して成る。



【特許請求の範囲】

【請求項 1】 低電圧高速動作の CMOS 演算増幅器において、

二つの入力信号の電圧を電流に変換させる差動入力手段と、

上記差動入力手段からの二つの出力電流を増幅して二つの出力電圧に変換させるカスコード出力手段と、

上記カスコード出力手段の出力電圧が印加され演算増幅器の出力端を構成するキャパシタ手段と、

上記カスコード出力手段の二つの出力電圧と基準電圧とを
10 入力して当該出力電圧のコモンモード電圧を上記基準電圧と一致させるための帰還信号を上記カスコード出力手段へ供給する帰還手段とを具えたことを特徴とする低電圧高速動作の CMOS 演算増幅器。

【請求項 2】 請求項 1 において、

上記カスコード出力手段は、第 1 電流源がゲート端子に連結され一側端子が出力端を構成する第 1 トランジスタと、上記第 1 トランジスタの他側端子に一側端子が連結されゲート端子にカレントミラーが連結される第 2 トランジスタと、一側端子に上記第 1 電流源が連結されゲート
20 端子は上記第 2 トランジスタと第 1 トランジスタの接点に連結される第 3 トランジスタとを包含して成ることを特徴とする低電圧高速動作の CMOS 演算増幅器。

【請求項 3】 請求項 1 において、

上記帰還手段は、第 2 電流源に一側端子が連結されゲート端子は基準電圧に連結される第 4 トランジスタと、

上記第 2 電流源に一側端子が連結されゲート端子には上記カスコード出力手段の二つの出力電圧のうちの負電圧が印加される第 5 トランジスタと、

第 3 電流源に一側端子が連結されゲート端子は上記基準電圧に連結され他側端子は上記第 4 トランジスタの他側端子と連結される第 6 トランジスタと、

上記第 3 電流源に一側端子が連結されゲート端子は上記カスコード出力手段の二つの出力電圧のうちの正電圧が印加される第 7 トランジスタと、

上記第 4 トランジスタの他側端子に一側端子が連結されゲート端子は上記第 5 トランジスタの他側端子が連結され他側端子は電源 (V_{ss}) と連結される第 8 トランジスタと、

一側端子およびゲート端子が上記第 5 トランジスタの他側端子と上記第 7 トランジスタの他側端子との接点に連結され他側端子は上記電源 (V_{ss}) に連結される第 9 トランジスタと、

第 4 電流源および上記第 4 トランジスタの他側端子と上記第 8 トランジスタの一側端子との接点にゲート端子および一側端子が連結され他側端子は上記電源 (V_{ss}) と連結される第 10 トランジスタとを具備したコモンモードフィードバック回路を包含して成ることを特徴とする低電圧高速動作の CMOS 演算増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は低電圧電源を有する回路で高い電圧利得と高速動作を特徴として持つ低電圧高速動作の CMOS (complementary metal oxide semiconductor) 演算増幅器に関するものである。

【0002】なお、本明細書の記述は本件出願の優先権の基礎たる韓国特許出願第 1994-8824 号 (1994 年 4 月 26 日出願) の明細書の記載に基づくものであって、当該韓国特許出願の番号を参照することによって当該韓国特許出願の明細書の記載内容が本明細書の一部を構成するものとする。

【0003】

【従来の技術】最近大規模の集積回路の技術が発達して多数の複雑な回路を一つのチップに集積化させることが行われている。特に CMOS の技術が発達してディジタル回路とアナログ回路を混在してチップに具現する回路が登場した。通信用回路または SCF (Switched Capacitor Filter), A/D (Analog to Digital) 変換機, D/A (Digital to Analog) 変換機で演算増幅器が必要であり、特にアナログ VLSI 回路で演算増幅器は一つの基本的な個別素子として取扱われ広く使用される回路である。

【0004】一方、半導体集積回路の技術の発達は回路素子の物理的な大きさを減少してきたし、この素子の物理的な大きさの減少は半導体の集積度の増加に大きく寄与した。

【0005】

【発明が解決しようとする課題】しかし、素子が小さくなることによっていろいろな問題があったが、特にプロセスの上での不純物のドーピング濃度の増大による素子の内圧の減少が非常に大きい問題になる。したがって全体の電源電圧を減少しなければならない。

【0006】この電源電圧の減少は回路の動作に多くの影響を及ぼすが、演算増幅器の場合、電圧利得の減少と出力のスイング (swing) の減少が大きい問題になる。

【0007】したがって、上記問題点を解決するために案出された本発明は、全差動増幅器の構造を持つことによって出力スイングの増大を計り、また高速動作のためにカスコード (cascode) 増幅形態の構造とカレントソース (current source) を具備して出力抵抗の増加を計り、これによる利得の増加を得ることができる低電圧高速動作の CMOS 演算増幅器を提供することにその目的がある。

【0008】

【課題を解決するための手段】上記目的を達成するために請求項 1 にかかる発明は、低電圧高速動作の CMOS

演算増幅器において、二つの入力信号の電圧を電流に変換させる差動入力手段と、上記差動入力手段からの二つの出力電流を増幅して二つの出力電圧に変換させるカスコード出力手段と、上記カスコード出力手段の出力電圧が印加され演算増幅器の出力端を構成するキャパシタ手段と、上記カスコード出力手段の二つの出力電圧と基準電圧とを入力して当該出力電圧のコモンモード電圧を上記基準電圧と一致させるための帰還信号を上記カスコード出力手段へ供給する帰還手段とを具えたことを特徴とする。

【0009】また請求項2にかかる発明は、請求項1において、上記カスコード出力手段は、第1電流源がゲート端子に連結され一側端子が出力端を構成する第1トランジスタと、上記第1トランジスタの他側端子に一側端子が連結されゲート端子にカレントミラーが連結される第2トランジスタと、一側端子に上記第1電流源が連結されゲート端子は上記第2トランジスタと第1トランジスタの接点に連結される第3トランジスタとを包含して成ることを特徴とする。

【0010】さらに請求項3にかかる発明は、請求項1において、上記帰還手段は、第2電流源に一側端子が連結されゲート端子は基準電圧に連結される第4トランジスタと、上記第2電流源に一側端子が連結されゲート端子には上記カスコード出力手段の二つの出力電圧のうちの負電圧が印加される第5トランジスタと、第3電流源に一側端子が連結されゲート端子は上記基準電圧に連結され他側端子は上記第4トランジスタの他側端子と連結される第6トランジスタと、上記第3電流源に一側端子が連結されゲート端子は上記カスコード出力手段の二つの出力電圧のうちの正電圧が印加される第7トランジスタと、上記第4トランジスタの他側端子に一側端子が連結されゲート端子は上記第5トランジスタの他側端子が連結され他側端子は電源（V_{SS}）と連結される第8トランジスタと、一側端子およびゲート端子が上記第5トランジスタの他側端子と上記第7トランジスタの他側端子との接点に連結され他側端子は上記電源（V_{SS}）に連結される第9トランジスタと、第4電流源および上記第4トランジスタの他側端子と上記第8トランジスタの一側端子との接点にゲート端子および一側端子が連結され他側端子は上記電源（V_{SS}）と連結される第10トランジスタとを具備したコモンモードフィードバック回路を包含して成ることを特徴とする。

【0011】

【実施例】以下、添付した図面の図1ないし図5を参照して本発明による一実施例を詳細に説明する。

【0012】本発明の低電圧高速動作のCMOS演算増幅器を図1に示し、これは差動入力端と差動出力端を持つ全差動（fully differential）演算増幅器のシンボルであって、二つの入力端（V_{IN+}，V_{IN-}）と二つの出力端（V_{OUT+}，V_{OUT-}）を有してい

る。

【0013】図1に図示された本発明の演算増幅器の概念的構造を図示したブロック図が図2である。

【0014】すなわち、二つの入力を受け電圧を電流に変換させる差動入力部21と、差動入力部21からの二つの出力電流を入力して高利得出力電圧に変換させるカスコード出力部（cascode output stage）22と、カスコード出力部22の出力電圧と基準電圧V_{REF}を入力して出力電圧の同相信号の電圧（コモンモード電圧）が基準電圧と一致するように上記カスコード出力部22へフィードバック制御信号を提供するコモンモードフィードバック（common-mode feedback；同相信号帰還：以下CMFという）回路23とから構成され、出力端にはキャパシタ24が連結される。

【0015】続いて、上記構成要素の各々の動作を説明する。

【0016】まず、差動入力部21は一般的な差動増幅器と同じ構成であるが、図5の符号21のように電流源と連結された二つのトランジスタから構成される。

【0017】そして、カスコード出力部22は図3のように三つのNチャンネルトランジスタM₃₁，M₃₂，M₃₃を具備するレギュレーティドカレントソース部（regulated current source）から成るが、このレギュレーティドカレントソース部は、電流源I_{B1}がゲート端子に連結され一側端子が出力端を構成するトランジスタM₃₃と、上記トランジスタM₃₃の他側端子に一側端子が連結されゲート端子はカレントミラー（current mirror）が連結され、他側端子はアース（V_{SS}）されるトランジスタM₃₁と、一側端子に電流源I_{B1}が連結されゲート端子は上記トランジスタM₃₁とトランジスタM₃₃の接点に連結され他側端子はアース（V_{SS}）されているトランジスタM₃₂とを具備する。V_{DD}は正電圧源であり、V_{SS}は負電圧源である。

【0018】このように構成されたレギュレーティドカレントソース部の動作を説明する。まず、電界効果トランジスタM₃₁はカレントソースとして作用する部分であり、トランジスタM₃₁に流れる電流とトランジスタM₃₃に流れる電流と出力電流は全て同一となる。また電流源I_{B1}はトランジスタM₃₂のドレインと連結されトランジスタM₃₂を増幅器として動作させるための直流バイアス電流源である。トランジスタM₃₂はトランジスタM₃₁のドレインにかかる電圧を増幅させトランジスタM₃₃のゲートへ印加させることによりトランジスタM₃₁とM₃₃が負帰還の形態として動作することになる。この時回路の出力抵抗r_{out}は次の通りである。

【0019】

【数1】

$$r_{out} = g_{m32} \cdot g_{m33} \cdot r_{o31} \cdot r_{o32} \cdot r_{o33} \\ = A_{v32} \cdot A_{v33} \cdot r_{o31}$$

ここで r_{o31} , r_{o32} , r_{o33} はトランジスタ M_{31} , M_{32} , M_{33} のドレインとソースの間の出力抵抗を示し、 g_{m32} , g_{m33} はトランジスタ M_{32} , M_{33} の入出力の伝達コンダクタンス (conductance) を示す。さらに、 A_{v31} , A_{v32} は各トランジスタ M_{32} , M_{33} の入出力の電圧利得、すなわち $g_{m32} \cdot r_{o32}$, $g_{m33} \cdot r_{o33}$ を示す。

【0020】上記の通りの回路での出力抵抗は二つの電圧の利得の乗として表現されるから非常に高い出力抵抗を持つようになり、回路の動作が理想的な電流源としての特性をもつ。

【0021】なお、本発明は低電圧の供給電源をもつ場合、出力スイングが問題になるから、この欠点を補完することができる全差動 (fully differential) 構造を使用してシングルエンディッド (single ended) 出力をもつ演算増幅器より2倍の出力の電圧範囲をもつようにした。このように演算増幅器が全差動の構造をもつ場合には常にCMF (common-mode feedback) 回路が必要となる。

【0022】図4は出力回路のDCバイアス電圧、すなわちコモンモード (common-mode) 電圧を安定化させるための回路としてのCMF回路を示すもので、CMF回路は4つのPチャンネルトランジスタ M_{16} , M_{17} , M_{18} , M_{19} と3つのNチャンネルトランジスタ M_{20} , M_{21} , M_{22} を具備するが具体的構成は次の通りである。

【0023】すなわち、電流源 I_{B2} に一側端子が接続されゲート端子は基準電圧 V_{REF} と接続されるトランジスタ M_{16} と、電流源 I_{B2} に一側端子が接続されゲート端子にはカスコード出力部22の負電圧 V_{OUT-} が印加されるトランジスタ M_{17} と、電流源 I_{B3} に一側端子が接続されゲート端子は基準電圧 V_{REF} と接続され他側端子はトランジスタ M_{16} の他側端子と接続されるトランジスタ M_{19} と、電流源 I_{B3} に一側端子が接続されゲート端子にはカスコード出力部22の正電圧 V_{OUT+} が印加されるトランジスタ M_{18} と、トランジスタ M_{16} の他側端子およびトランジスタ M_{19} の他側端子が接続される接点に一側端子が接続されゲート端子はトランジスタ M_{17} の他側端子およびトランジスタ M_{18} の他側端子が接続される接点に接続され、他側端子はアースと接続されるトランジスタ M_{21} と、一側端子およびゲート端子はトランジスタ M_{17} の他側端子およびトランジスタ M_{18} の他側端子と接続され、他側端子はアースされたトランジスタ M_{20} と、電流源 I_{B4} およびトランジスタ M_{16} とトランジスタ M_{21} の接点にゲート端子および一側端子が接続され、他側端子はアースされたトランジスタ M_{22} とを具備する。トランジスタ M_{16} と M_{17} およびトランジスタ M_{18} と M_{19} は各々差動ペアを構成する。

【0024】続いて、上記のように構成されたCMF回

路の動作の状態をみる。

【0025】トランジスタ M_{16} のゲート端子とトランジスタ M_{19} のゲート端子には共通モードの基準電圧の0Vが入力になり、トランジスタ M_{17} と M_{18} のゲート端子には演算増幅器の2つの出力が入力される。

【0026】したがって、2つの差動ペア (M_{16} , M_{17} と M_{18} , M_{19}) は同じ入出力の伝達特性をもつようになり、この同じ特性によるCMF作用が発生することになる。

【0027】すなわち、Pチャンネルトランジスタ M_{17} の差動入力電圧がポジティブ (positive) 方向に上昇するとトランジスタ M_{16} に流れる電流は増加することになり、Pチャンネルトランジスタ M_{17} に流れる電流は減少することになる。Nチャンネルトランジスタ M_{20} とNチャンネルトランジスタ M_{21} の動作によって2つの差動ペアの出力電流が互いに同一になることによって、トランジスタ M_{16} とトランジスタ M_{19} に流れる電流の合計とトランジスタ M_{17} とトランジスタ M_{18} に流れる電流の合計は互いに同一になる。したがって、トランジスタ M_{17} に流れる電流が減少すればトランジスタ M_{18} に流れる電流が増加するから、トランジスタ M_{18} のゲートに印加される電圧は減少することになるし、その減少電圧値はトランジスタ M_{17} のゲート端子の増加電圧値と同一になる。すなわち、このCMF回路は差動出力信号だけを出力する。

【0028】また2つの出力電圧 V_{OUT+} , V_{OUT-} が同時に増加する場合には次のように動作することになる。

【0029】出力電圧 V_{OUT+} , V_{OUT-} が上昇する場合、トランジスタ M_{17} とトランジスタ M_{18} に流れる電流は減少することになり、トランジスタ M_{16} とトランジスタ M_{19} に流れる電流は増加する。その結果、出力電圧 V_{OUT+} , V_{OUT-} は減少し、したがって出力電圧の同相信号の成分 (コモンモード電圧) が増加することを防止することになるコモンモードフィードバック (CMF) 作用が発生する。この負帰還作用により出力信号の同相信号の成分 (コモンモード電圧) はCMF回路の基準電圧、すなわち0Vになる。

【0030】図5は本発明の全差動演算増幅器の全体回路図である。

【0031】トランジスタ M_{51} とトランジスタ M_{52} は差動入力信号を受けるための差動ペア、すなわち、差動入力部21を構成し、この差動入力部21は差動入力電圧信号を電流信号に変換し、この電流信号を出力抵抗が非常に高い次のカスコード出力部22へ送る。そして、カスコード出力部22は4つの定電流源からなり、このカスコード出力部22は、トランジスタ M_3 , M_7 , M_9 と M_4 , M_8 , M_{10} と M_5 , M_{11} , M_{13} と M_6 , M_{12} , M_{14} を有しており、トランジスタ M_{16} ないし M_{22} はCMF回路部23を構成するトランジスタである。このCMF回路部23では前述したように出力電圧 V_{OUT+} , V_{OUT-}

OUT が上昇する場合トランジスタM17 とトランジスタM18 に流れる電流は減少することになり、トランジスタM16 とトランジスタM19 に流れる電流は増加することになって二つのトランジスタM13, M14 のゲートにかかる電圧は増加することになり、トランジスタM13, M14 のドレインすなわち、出力電圧は減少することになって同相信号の成分が増加することを防止することになるコモンモードフィードバック (CMF) の作用が発生する。この負帰還作用により出力信号の同相信号成分はCMF回路部23の基準電圧、すなわち0Vになる。

【0032】なお、V_{DD} はポジティブ電源であり、V_{SS} はネガティブ (negative) 電源である。

【0033】本発明の演算増幅器は1ステージ増幅器 (one stage amplifier) 構造であり、その電圧利得は、主として、出力抵抗および差動入力部21のトランスコンダクタンス (transconductance) に関係がある。AC特性、すなわち増幅器の周波数特性は出力抵抗と図5には図示していないが、図2に示された出力端に連結されたキャパシタ24のキャパシタンスに関係する。

【0034】そして、図5の増幅器において、小信号の電圧利得A_v は次のように表示される。

【0035】

【数2】 $A_v = g_{m1} \cdot r_{out}$

$$= g_{m1} \cdot [\{ r_{o8} \cdot g_{m10} \cdot r_{o10} \cdot g_{m4} \cdot r_{o4} \} \parallel \{ r_{o14} \cdot g_{m12} \cdot r_{o12} \cdot g_{m6} \cdot r_{o6} \}]$$

上記のように小信号の電圧利得は入力伝達コンダクタンスと出力抵抗の乗で表現されることがわかる。上記の結果より増幅器のトータル (total) 電圧利得は3つの小電圧利得の乗で表現される。この電圧利得の増大は、カスコード出力部22の出力抵抗の増大によるものである。このようにして得る電圧利得の増大の効果は、低電源電圧を使用する場合に大きい。すなわち、電源電

$$U \cdot G \cdot B = A_v \cdot f_p$$

$$= g_{m1} \cdot r_{out} \cdot \frac{1}{2 \pi r_{out} C_L}$$

$$= \frac{g_{m1}}{2 \pi C_L}$$

【0041】上記の式より演算増幅器のU・G・Bは負荷キャパシタンスC_L が小さければ小さいほど、入力伝達コンダクタンスg_{m1} が大きければ大きいほど増加することになる。しかし、回路の安定度を考慮すればU・G・Bを増加させることはできない。すなわち、回路の安定度を維持させるためにU・G・B内に寄生ポール (pole) があってはならない。したがって、回路の動作周波数を高めるためには寄生ポールの位置を高めることが重要であるし、本発明回路もこの点を考慮してミ

圧が低い場合にはトランジスタのドレインとソースの間のバイアス電圧が減少することになるから、トランジスタの飽和 (saturation) 領域での出力抵抗が減少することになり、この出力抵抗の減少は一般的なCMOS演算増幅器ではその電圧利得が減少する。特に半導体プロセスの急激な発展は回路の内で使用される素子の物理的大きさを減少させているし、このような物理的減少と共に供給電源の電圧の減少も伴う。演算増幅器では特にこの傾向がある。このような電源電圧の減少による利得の減少を補完するため、本発明のように出力抵抗が非常に大きい構造を採用して利得の増大を得る。

【0036】また、本発明による演算増幅器の周波数特性は次の通りに出力抵抗r_{out} と出力キャパシタンスC_L の乗で表現され、ドミナントポール (dominant pole) の位置 (position) は非常に低い周波数に位置することになる。すなわち、ドミナントポールの位置f_p は次のように表現される。

【0037】

【数3】

$$f_p = \frac{1}{2 \pi r_{out} C_L}$$

【0038】上記の式をみると、ドミナントポールの位置は容量性出力負荷C_L と出力抵抗r_{out} によって決定されるが、r_{out} は増幅器の電圧利得にも影響が及ぶことになる。

【0039】前述した結果を利用して演算増幅器の動作周波数の領域を表示する単一利得幅 (unity-gain bandwidth; 以下、U・G・Bという) は次の通りである。

【0040】

【数4】

ラー (Miller) 効果による寄生ポールが起こらないカスコード構造を選択した。したがって、本発明による演算増幅器の周波数特性は出力負荷のキャパシタンスにより決定されるから演算増幅器をICの内部で高速応用回路として使用することができる。

【0042】

【発明の効果】上記のようになる本発明は出力スイングの増大を図ると共に利得の増加を得ることができる低電圧高速動作のCMOS演算増幅器を得ることができる。

【図面の簡単な説明】

【図 1】全差動 (Fully differential) 演算増幅器のシンボルを示す図である。

【図 2】全差動演算増幅器のブロック図である。

【図 3】本発明のカレントソース回路の回路構成図である。

【図 4】CMF (Common-mode feedback) 回路の回路構成図である。

【図 5】本発明による演算増幅器の全体の回路図である。

る。

【符号の説明】

M₃, M₂₁, M₃₁, M₃₂, M₃₃, M₅₁, M₅₂ トランジスタ

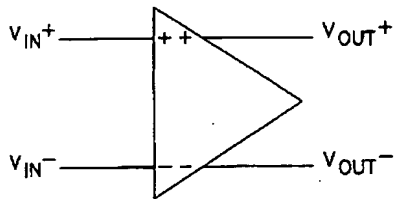
21 差動入力部

22 カスコード出力部

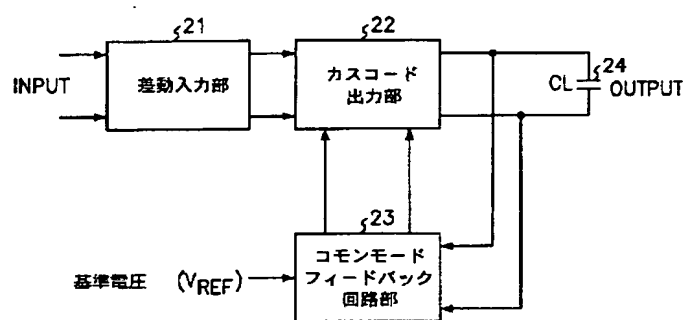
23 コモンモードフィードバック回路部

24 キャパシタ

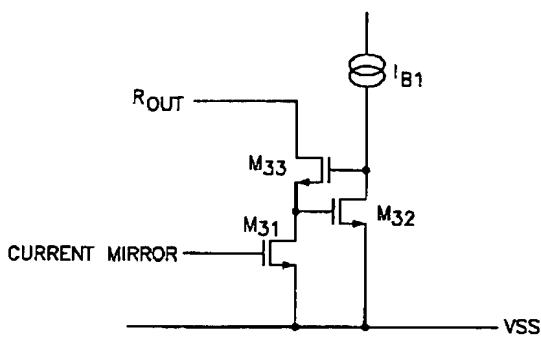
【図 1】



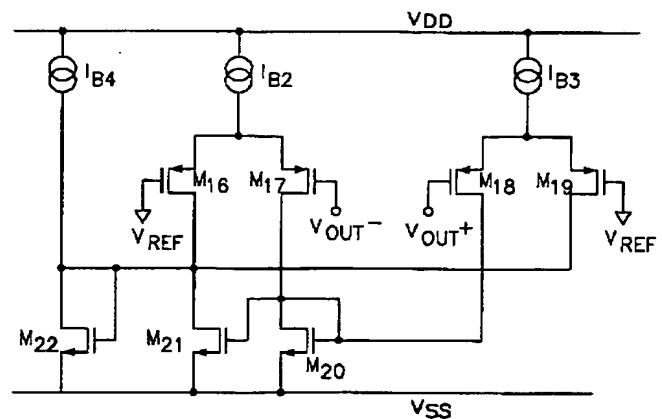
【図 2】



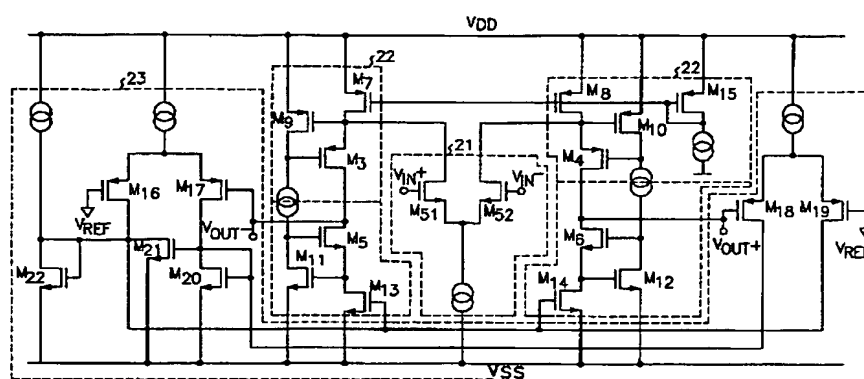
【図 3】



【図 4】



【図 5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.